

L2: Entry 3 of 13

File: JPAB

Oct 28, 1994

PUB-NO: JP406302597A

DOCUMENT-IDENTIFIER: JP 06302597 A

TITLE: FABRICATION OF SEMICONDUCTOR DEVICE

PUBN-DATE: October 28, 1994

INVENTOR-INFORMATION:

NAME

COUNTRY

SUGIURA, KAZUHIRO

INT-CL (IPC): H01L 21/3205; H01L 21/90

ABSTRACT:

PURPOSE: To increase the yield while enhancing the reliability of wiring by selecting an insulation film containing no oxygen as an underlying film of organic SOG when the interlayer insulation film is flattened by etching back the organic SOG thereby suppressing the fluctuation in the etching rate of the organic SOG and forming an interlayer insulation film excellent in flatness.

CONSTITUTION: A metal wiring 2 is formed on a semiconductor substrate 1 including a semiconductor device followed by deposition of silicon nitride 3. It is then spin coated with an organic SOG 5 and fired and then the semiconductor substrate is etched back and made smooth. Thereafter, second silicon oxide is deposited thereon.

L1: Entry 3 of 13

File: DWPI

Oct 28, 1994

DERWENT-ACC-NO: 1995-017198

DERWENT-WEEK: 199503

COPYRIGHT 2004 DERWENT INFORMATION LTD

102-?
trans
TITLE: Semiconductor device prodn. - by applying silicon oxide film over smooth organic SOG film which is deposited by rotatory application process

PRIORITY-DATA: 1993JP-0086553 (April 13, 1993)

Search Selected

Search ALL

Clear

Ingjuna

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
<input type="checkbox"/> JP 06302597 A	October 28, 1994		003	H01L021/3205

INT-CL (IPC): H01L 21/3205; H01L 21/90

ABSTRACTED-PUB-NO: JP 06302597A

BASIC-ABSTRACT:

The procedure involves deposition of metal wiring layers (2) over a semiconductor substrate (1). These layers are deposited over selected portions of the surface of the substrate. The wiring layers are then covered with a silicon nitride film (3), followed by the deposition of an organic SOG film (5). The deposition of organic SOG film is carried out by rotatory application method, and the SOG film is baked. A portion of this baked organic SOG film is etched out, thereby providing a smooth surface. Over this smoothed SOG film, a silicon oxide film (6) is applied, thereby obtaining the semiconductor device.

ADVANTAGE - Raises manufacturing yield. Improves reliability of wiring process.
Provides flattened layer to layer insulating film.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-302597

(43)公開日 平成6年(1994)10月28日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3205				
21/90	Q	7514-4M		
		7514-4M	H 0 1 L 21/ 88	K

審査請求 未請求 請求項の数1 OL (全 3 頁)

(21)出願番号 特願平5-86553

(22)出願日 平成5年(1993)4月13日

(71)出願人 000002325

セイコー電子工業株式会社

東京都江東区亀戸6丁目31番1号

(72)発明者 杉浦 和弘

東京都江東区亀戸6丁目31番1号 セイコ

ー電子工業株式会社内

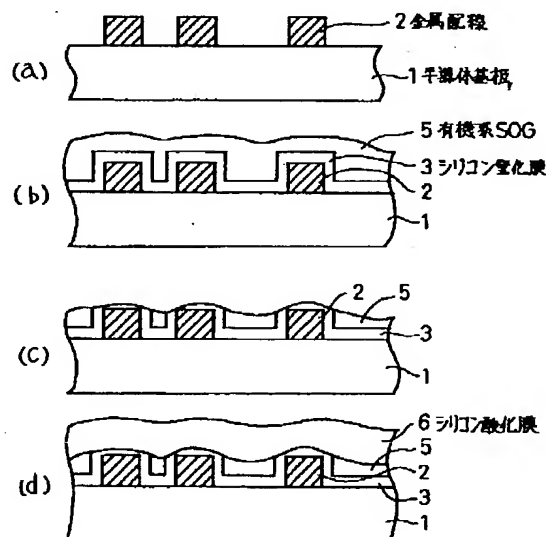
(74)代理人 弁理士 林 敬之助

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 有機系SOGのエッチバックを用いた層間絶縁膜の平坦化において、有機系SOGの下地膜を膜中に酸素を含まない絶縁膜を選択することによりエッチバック時の有機SOGのエッチング速度の変化を抑え、平坦性に優れた層間絶縁膜を形成することにより、歩留りの向上及び配線の信頼性を向上させる。

【構成】 半導体装置を含む半導体基板1上に金属配線2を形成した後、シリコン窒化膜3を堆積する。この上方より有機系SOG5を回転塗布、焼成により形成した後、前記半導体基板をエッチバックして平滑にし、この後、第2シリコン窒化膜6を形成する。



【特許請求の範囲】

【請求項1】 多層金属配線構造を有する半導体装置の層間絶縁膜の平坦化方法で金属配線の上にシリコン窒化膜を堆積する工程、その上に有機系SOGを回転塗布・焼成して形成する工程およびドライエッチングによりエッチバックを施し、表面を平滑にする工程、さらに層間絶縁膜としてシリコン酸化膜を堆積することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に関し、多層金属配線の層間絶縁膜の平坦化工程に関するものである。

【0002】

【従来の技術】従来の製造方法について、図2(a)～(d)の図面に基づいて説明する。図2(a)は、半導体装置を含む半導体基板1上に金属配線2を形成した縦断面図である。図2(b)は、上記半導体装置を含む半導体基板1においてプラズマCVD法を用いて形成した第1シリコン酸化膜4である。図2(b)5は前記シリコン酸化膜上に回転塗布法により堆積焼成して形成した有機系スピオングラス(Spin On Glass 以下、SOGと略す)5である。

【0003】図2(c)は上記半導体装置を含む半導体基板1をプラズマを用いたドライエッチング法によりエッチバックを施した後の縦断面図である。図2(d)は上記半導体装置を含む半導体基板上にプラズマCVD法により形成した第2シリコン酸化膜である。

【0004】

【発明が解決しようとする課題】従来の製造方法によれば、有機系SOG5をエッチバックしていくと、下地の第1シリコン酸化膜4の露出面積の増加にともない有機系SOG5のエッチング速度が著しく上昇してしまう。このため本来、相関絶縁膜の平坦化という意味から最も平坦化が要求される狭い配線間スペースの有機系SOG5が消失してしまい、良好な平坦性が得られない。このため、第2シリコン酸化膜6に接続孔を開孔し、第2シリコン酸化膜6の上に金属配線を形成する場合、金属配線の段差被覆性の低下による金属配線の段切れや電流容量の低下による導通時の断線あるいは急峻な段差部でのエッチング残渣による配線間の短絡等が生じ、歩留りの低下及び配線の長期信頼性の問題となっていた。

【0005】

【課題を解決するための手段】上記課題を解決するため、本発明は有機系SOGのクラック発生防止のため、従来、金属配線の上にプラズマCVD法によりシリコン酸化膜を堆積していたのに変え、プラズマCVD法により

膜中に酸素を含まないシリコン窒化膜を堆積することにした。

【0006】

【作用】上記のような製造方法を用いると、有機系SOGのエッチバック時にシリコン窒化膜が露出しても有機系SOGのエッチング速度は変化しない。これはシリコン窒化膜中に酸素が含まれていないため、有機系SOGへの酸素アシストがないためである。このため、狭い配線間スペースでも有機系SOGが残るため平坦性に優れた層間絶縁膜を形成することができる。よって、前記層間絶縁膜上に形成される金属配線の段差被覆性の向上やエッチング残渣の発生がなくなることで歩留りの向上及び長期信頼性に対する改善が期待できる。

【0007】

【実施例】以下に、本発明の半導体装置の製造方法の実施例を図面に基づいて説明する。図1(a)は、半導体装置を含む半導体基板1上に金属配線2を形成した縦断面図である。図1(b)は、上記半導体装置を含む半導体基板上にプラズマCVD法により、シリコン窒化膜3を堆積した後、その上方に回転塗布法、焼成を経て形成された有機系SOG膜5である。図1(c)は、上記半導体装置を含む半導体基板1をプラズマドライエッチングによりエッチバックを施し、半導体装置表面を平坦化した縦断面図である。図1(d)は、上記半導体装置を含む半導体基板1上にプラズマCVD法により第2シリコン酸化膜6を堆積した場合の縦断面図である。

【0008】

【発明の効果】本発明は、以上説明したように有機系SOGの下地膜としてプラズマCVD法により、シリコン窒化膜を用いることにより、有機系SOGのエッチバック時に有機系SOGの増速的なエッチング速度の変化を抑制することにより、平坦性に優れた層間絶縁膜を形成できる。

【図面の簡単な説明】

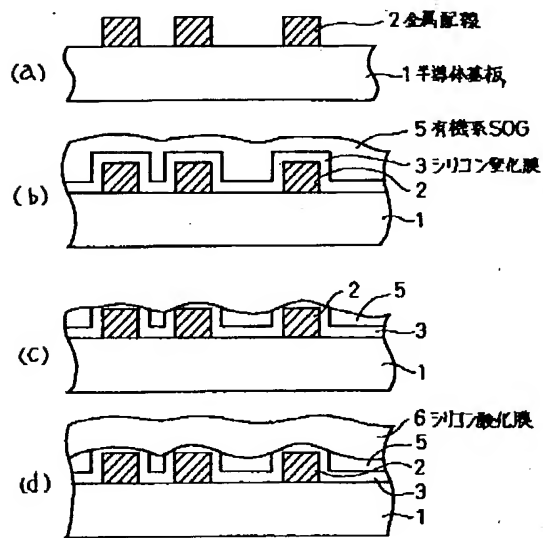
【図1】(a)～(d)は本発明にかかる平坦性に優れた層間絶縁膜を形成するための半導体装置の製造方法の工程順断面図である。

【図2】(a)～(d)は従来の製造工程の工程順断面図である。

【符号の説明】

- 1 半導体装置を含む半導体基板
- 2 金属配線
- 3 シリコン窒化膜
- 4 第1シリコン酸化膜
- 5 有機系SOG
- 6 第2シリコン酸化膜

【図1】



【図2】

